

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 05 月 28 日
Application Date

申 請 案 號：092114337
Application No.

申 請 人：矽品精密工業股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 6 月 26 日
Issue Date

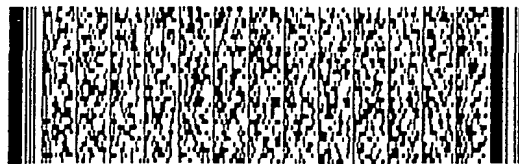
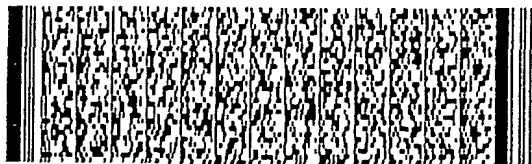
發文字號：09220634960
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架
	英 文	GROUND-ENHANCING SEMICONDUCTOR PACKAGE AND LEAD FRAME
二、 發明人 (共5人)	姓 名 (中文)	1. 李義雄 2. 李春源
	姓 名 (英文)	1. Yi-Shiung LEE 2. Yuan-Chun LI
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台中市北屯區東山路一段123號12弄16號 2. 台中縣后里鄉大圳路525號
	住居所 (英 文)	1. No. 16, Alley 12, Lane 123, Sec. 1, Dungshan Rd., Beituen Chiu, Taichung City, Taiwan, R.O.C. 2. No. 525, Da-Zhuan Road, Hou-Li, Taichung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



申請日期：

IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 陳韋宏 4. 黃世尊
	姓名 (英文)	3. Holman CHEN 4. Shih Tsun HUANG
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 台中市東山路一段242-1號 4. 台中縣豐原市自成街10巷46號
	住居所 (英文)	3. No. 242-1, Sec. 1, Dong-Shan Road, Taichung, Taiwan, R.O.C. 4. No. 46, Lane 10, Tzcheng St., Fengyuan City, Taichung County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	5. 雲智勇
	姓 名 (英文)	5. Chih Yung YUN
	國 籍 (中英文)	5. 中華民國 TW
	住居所 (中 文)	5. 彰化縣田中鎮北路里廣義路44巷13號
	住居所 (英 文)	5. No. 13, Lane 44, Guangyi Rd., Tianjung Jen, Changhua County, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架)

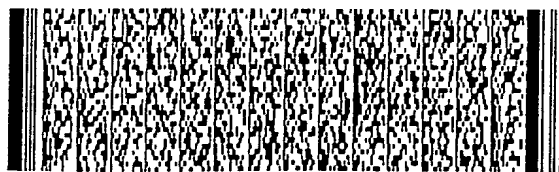
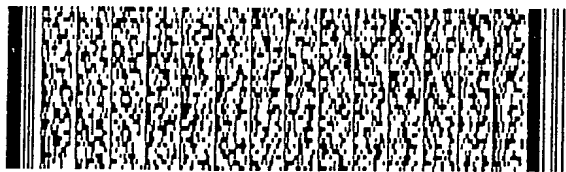
一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，係包括：導線架本體，係具有至少一晶片座、多數導腳與用以支撐該晶片座的多數繫條；接地部，係包括與該繫條連接的第一接地部以及與該晶片座連接的第二接地部之其中至少一者，且每一第一接地部間係互不連接，而每一第二接地部間亦互不連接；至少一接置於該晶片座上的晶片；以及用以包覆該晶片與接地部之封裝膠體，從而利用該互不連接的接地部結構，充分釋放後續高溫製程中的接地部應力，以使該封裝件不致產生因接地部變形所導致的接地品質問題。

本案代表圖：第 2 圖

- 10 導線架
- 11 晶片座
- 12 繫條

六、英文發明摘要 (發明名稱：GROUND-ENHANCING SEMICONDUCTOR PACKAGE AND LEAD FRAME)

A ground-enhancing semiconductor package and its lead frame are provided. The lead frame is composed of at least a die pad, a plurality of leads, a plurality of tie-bars for supporting the die pad, and ground portions. The ground portions include at least a first ground portion connecting to the tie-bars and/or a second ground portion connecting to the die pad, wherein each of the



四、中文發明摘要 (發明名稱：可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架)

14 導腳
20 第一接地部
20a 接地區
20b 連接區
30 晶片
31a 訊號墊
31b 接地墊
40 鐸線
40a 訊號線
40b 接地線

六、英文發明摘要 (發明名稱：GROUND-ENHANCING SEMICONDUCTOR PACKAGE AND LEAD FRAME)

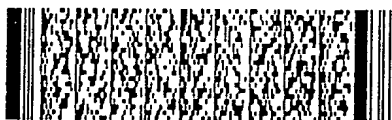
first ground portions separates one from another and each of the second ground portions also separates one from another. Then, an encapsulant is formed with the lead frame to encapsulate a chip attached on the die pad and the lead frame. As a result, the ground portions separated from each other allow thermal stresses to be released, thereby promoting the ground performance of the



四、中文發明摘要 (發明名稱：可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架)

六、英文發明摘要 (發明名稱：GROUND-ENHANCING SEMICONDUCTOR PACKAGE AND LEAD FRAME)

package during the subsequent fabrication process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

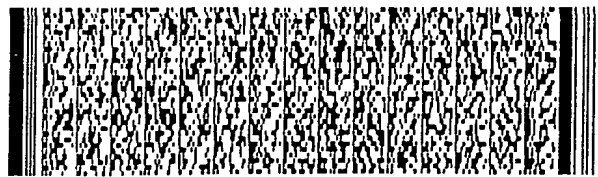
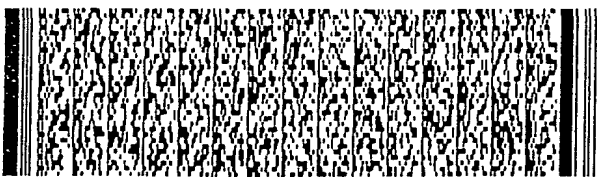
【發明所屬之技術領域】

本發明係關於一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，尤指一種可避免其接地區域於高溫下變形，而可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架。

【先前技術】

傳統以導線架 (Lead Frame) 為晶片承載件之半導體封裝件，例如四方扁平式半導體封裝件 (Quad Flat Package, QFP) 或四方扁平無導腳式 (Quad Flat Non-leaded, QFN) 半導體封裝件等，其製作方式均係在一具有晶片座 (Die Pad) 及多數導腳 (Lead) 之導線架上黏置一半導體晶片，復藉多數金線 (Wire) 電性連接該晶片表面上之鐳墊 (Pad) 與其對應之多數導腳，而以一封裝膠體包覆該晶片及金線而形成一半導體封裝件，同時，亦可設計使該晶片座之一表面外露於該封裝膠體外，而成為一晶片座外露 (Exposed Pad) 型封裝件，以藉該晶片座加速散逸該晶片上之熱量。

而由於該封裝件上晶片積集度的提昇，也為提昇更高的電性品質且減少雜訊，因此，當進行該封裝件的結構設計時，往往必須提供該晶片的接地 (Ground) 與電源 (Power) 功能，以符合其電性需求，故而有將接地線接置於該導線架之晶片座上以進行接地之設計，惟此設計中由於該接地線係銲接於該晶片座之周圍，故當該晶片座與封裝膠體間因熱膨脹係數差異而產生脫層時，極易導致該接

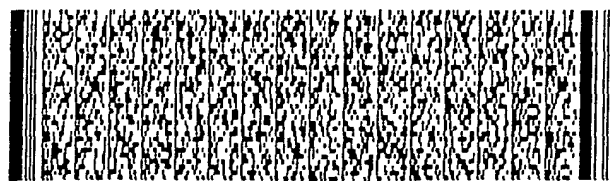


五、發明說明 (2)

地線之斷裂，造成電性品質的下降，尤其對於晶片座外露型封裝件而言，更將因晶片座不易受封裝膠體之夾持而增加其脫層可能。

因此，例如美國專利第 5,196,725 號案、第 5,237,202 號案、第 5,399,809 號案、第 5,734,198 號案與第 5,777,265 號案等多層 (Multi-Layer) 導線架之相關封裝結構便因而產生，以改變將接地線銲接至晶片座之設計，其係配置一獨立的接地層 (Ground Plane) 與電源層 (Power Plane)，以藉接地線與電源線電性連接其晶片上所對應之接地墊與電源墊，而提供電源並達減少雜訊的效果；惟對該型習知封裝件而言，其多層導線架之結構顯然過於複雜，且所使用之導線架材料亦過多，形成製程與成本上的負擔，尤其在今日封裝件尺寸日益縮小之趨勢下，更將成為量產上的限制，反形成其他製程問題。

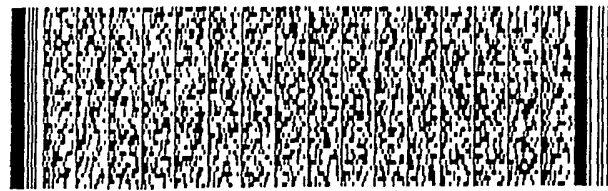
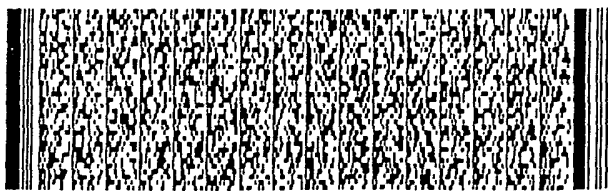
是故，美國專利第 5,814,877 號案遂提出一種可降低成本與製程複雜度、同時又不致受晶片座脫層影響的單層導線架設計，其係如第 5A、5B 圖所示，於該導線架 60 之晶片座 61 周圍隔離出一接地環 62 (Ground Ring)，以與晶片 63 上之接地墊電性連接，並藉此一單層設計解決製程與成本上的習知問題；此外，習知上亦針對晶片座外露型封裝件，藉由形成於導線架上的接地環設計，以避免晶片座與封裝膠體間脫層時損及接地銲點品質的缺點，例如第 6A、6B 圖所示之美國專利第 6,437,427 號案的導線架 70 與封裝件，即係藉由與該晶片座 71 隔離出來的接地環 73，以提供



五、發明說明 (3)

接地功能，並防止晶片座脫層時(如第6B圖所示)會造成接地鐸線斷裂的情況；第7A、7B圖所示之美國專利第6,380,048號案為另一種具接地環之半導體封裝件，亦係於導線架80上之晶片座81周圍隔離一接地環82進行接地，其係以S型之繫條83連接該晶片座81與接地環82，以將其兩者間定義成預定形狀的對稱鏤空區域84，而可釋放模壓製程中之熱應力，並藉由封裝膠體85對該鏤空區域83之充填而強化對該導線架80的定位。

對於所有習知技術所揭示之環狀接地環而言，其雖可解決多層導線架之製程與成本問題，亦可預防後續製程對其接地線的破壞，惟由於其所設計之接地環均係為一連續環狀結構，因此，當進行後續上片固化(Die Bond Curing)、鐸線(Wire Bonding)與模壓(Molding)等高溫製程，乃至其他高溫可靠度測試時，此一升溫效應將使該接地環產生如第8A、8B圖所示之變形翹曲，此係由於當溫度升高而致使該接地環之金屬材料膨脹時，該接地環各邊兩端皆受其連續結構之束縛(Constrain)，而使其膨脹熱應力難以釋放，而將使該接地環各邊同時產生如第8B圖所示之擠壓變形，形成材料力學中柱狀(Column)結構常見的熱屈(Buckle)破壞；此一變形現象將使得該接地環之各邊無法維持平面狀態，而增加接地線之鐸線步驟的困難，且即便順利鐸接，亦可能於變形時發生鐸線斷裂等電性品質問題，同時，當以衝壓(Stamping)製程製作具有該連續環狀接地環之導線架時，其衝壓力將極易於該環狀結構間留



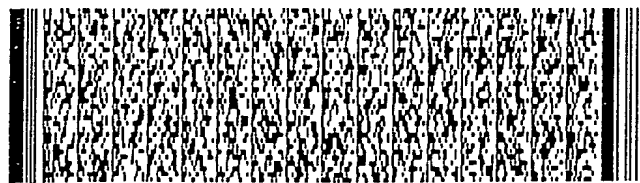
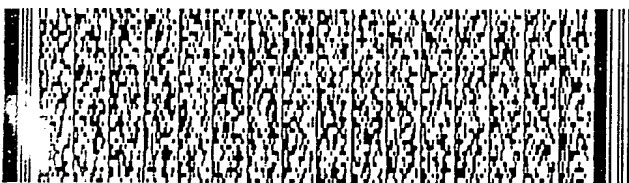
五、發明說明 (4)

下殘留應力 (Residual Stress)，而於後續高溫製程時導致該接地環各邊之挫屈變形產生降伏 (Yield) 現象，造成該接地環的塑性 (Plastic) 變形，致使其挫屈結構難以復原而破壞該封裝件。

因此，對於前述美國專利第 5,814,877 號案、第 6,437,427 號案與第 6,380,048 號案等習知技術而言，其連續接地環結構雖可用以解決過去所存在的成本或製程問題，卻反將衍生出高溫下變形之品質限制，特別對於第 7A、7B 圖所示之美國專利第 6,380,048 號案而言，其 S 型繫條 83 設計雖係用以釋放模壓製程中之熱應力，惟該結構所釋放之應力僅為連接該晶片墊 81 與接地環 82 的繫條 83 應力，而如第 9A 圖之箭號所示，藉由該特殊形狀的鏤空區域 84 以提供該繫條 83 之熱變形空間，惟，對於兩端束縛之接地環 82 各邊而言，其熱應力仍將因其束縛而難以釋放，而同樣將如第 9B 圖所示，而於該環狀各邊上產生前述之挫屈變形，進而導致電性連接之問題，或導致如第 9C 圖所示之接地線 86 斷裂現象 g，因此，該案所揭示之 S 型繫條 83 顯然仍難以克服此一嚴重的挫屈問題。

是故，如何開發一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以發揮晶片之接地功能，同時復可避免其接地區域於高溫製程中產生挫屈變形，而造成接地線之斷裂，確為此一相關研發領域所需迫切面對的嚴重課題。

【發明內容】



五、發明說明 (5)

因此，本發明之一目的即在提供一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以避免其接地區域於高溫下產生變形。

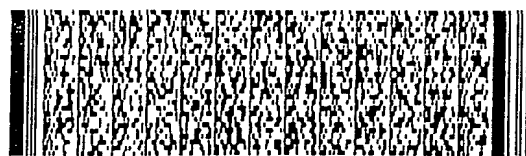
本發明之復一目的即在提供一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以避免接地線難以銲接之問題。

本發明之另一目的即在提供一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以避免接地線斷裂之問題。

本發明之再一目的即在提供一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以釋放其接地區域上之熱應力。

本發明之又一目的即在提供一種可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，以降低該導線架於製造過程中之殘留應力。

為達前述及其他目的，本發明所提供之可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，係包括：導線架本體，係具有至少一晶片座、連接該晶片座且用以支撐該晶片座的多數繫條、與佈設於該晶片座周圍的數導腳；接地部，係包括與該繫條連接的第一接地部以及與該晶片座連接的第二接地部之其中至少一者，其中，每一第一接地部間係互不連接，而每一第二接地部間亦互不連接；至少一晶片，係接置於該晶片座上且電性連接至該多數導腳與該接地部；以及用以包覆該晶片與接地部之



五、發明說明 (6)

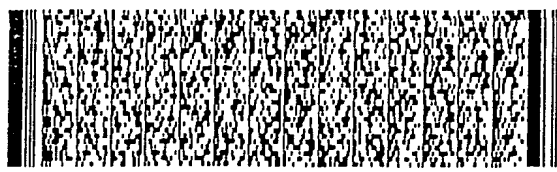
封裝膠體。

同時，本發明所揭示之導線架，係包括：本體，係具有至少一晶片座、連接該晶片座且用以支撐該晶片座的多數繫條、與佈設於該晶片座周圍的多數導腳；以及接地部，係包括與該繫條連接的第一接地部以及與該晶片座連接的第二接地部之其中至少一者，其中，每一第一接地部間係互不連接，而每一第二接地部間亦互不連接。

前述之第一接地部與第二接地部間亦互不連接，且該導線架上的每一繫條之兩側上均形成有該第一接地部，而該晶片座之每一邊緣上亦均形成有該第二接地部；同時，該第一接地部係可設計成與該晶片座連接，亦可設計成未與該晶片座連接，其中，當該第一接地部係與該晶片座連接時，其係包括相互連接以與該繫條圍置成一鏤空區域的接地區與連接區，反之，當該第一接地部未與該晶片座連接時，該第一接地部則係為一長條形接地區；此外，該第二接地部則係設計成未與該繫條連接，且包括相互連接的接地區與連接區，以與該晶片座邊緣圍置成一鏤空區域。

因此，本發明之可提升接地品質之半導體封裝件及用於該半導體封裝件的導線架，即係藉由佈設於該繫條兩側或該晶片座周圍的接地部，並使每一接地部間互不連接，而可避免習知連續結構所造成之束縛，以釋放該接地部於高溫下的熱應力，進而使該接地部不致產生挫屈變形，影響其接地品質。

【實施方式】

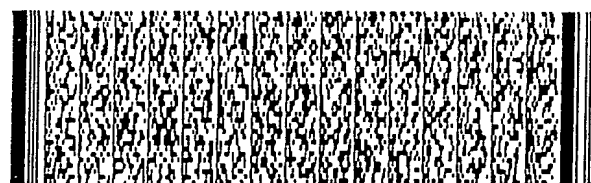


五、發明說明 (7)

第 1 圖所示即為本發明所揭示之導線架 10 的較佳實施例上視圖，其係由銅或銅合金所製成，包括一體成型的方形晶片座 11、自該方形晶片座 11 的四個角緣延伸而出之繫條 12 (Tie-Bar)、連接該四個繫條 12 的方形連結框 13、以及自該連結框 13 延伸且佈設於該晶片座 11 四周的多數導腳 14；其中，該導線架 10 之晶片座 11 周圍係與習知技術相同，形成有提供該晶片座 11 上之晶片 30 (未圖示) 接地用的接地區域，本實施例之接地區域係如圖所示設計成四組分別與該繫條 12 連接且一體成型的第一接地部 20，且每組第一接地部 20 均分別位列於該繫條 12 兩側，並同時與該繫條 12 及晶片座 11 連接，惟每一第一接地部 20 間則互不連接，以避免形成該接地部 20 之束縛，進而可發揮釋放熱應力的功效，避免該接地部 20 於高溫下產生挫屈現象。

同時，該晶片座 11 係較該多數導腳 14 為低而具有一高度差，且該四繫條 12 係分別包括自該連結框 13 延伸而出的第一繫條 12a 與位於該接地部 20 與晶片座 11 之間的第二繫條 12b，該第一繫條 12a 係與該多數導腳 14 位於同一平面上，而該第二繫條 12b 則配合該晶片座 11 與導腳 14 之高度差而呈一傾斜 (Down-Set) 狀態。

前述之第一接地部 20 係藉由一衝壓製程而於該導線架 10 上一體成型成所設計之形狀，其係分別位列於每一繫條 12 兩側以圍置成一鏤空區域 21，且每側之第一接地部 20 均包括相互連接之接地區 20a 與連接區 20b，以藉該接地區 20a 連接該繫條 12，藉該連接區 20b 連接該晶片座 11，其

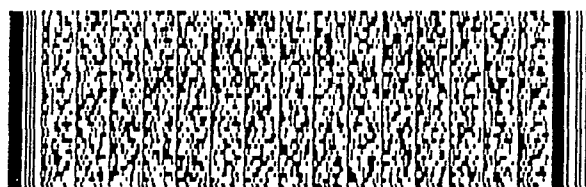
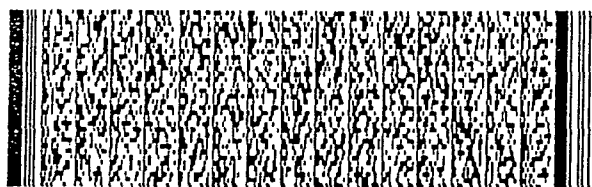


五、發明說明 (8)

中，該第一接地部 20 之接地區 20a 係與該多數導腳 14 位於同一平面上，而該用以連接該晶片座 11 的連接區 20b 則配合該晶片座 11 與該導腳 14 之高度差，而呈一傾斜狀態；因此，該導線架 10 即可如第 2 圖所示接置一晶片 30 於該晶片座 11 上，並以多數鐸線 40 進行電性連接，即如圖所示，以多數訊號 (Signal) 線 40a 連接該晶片 30 上之訊號墊 31a 與其所對應之導腳 14，並以多數接地線 40b 連接該晶片 30 上之接地墊 31b 與其所對應之第一接地部 20 上的水平接地區 20a。

是故，藉由前述導線架 10 所製成之本發明半導體封裝件，即係以一封裝膠體 50 包覆前述接置有晶片 30 之導線架 10，並如第 3A、3B 圖所示使該多數導腳 14 外露而出，同時令該晶片座 11 之背面 11' 亦外露出該封裝膠體 50 外，以提昇其散熱效率，其中，第 3A 圖係自第 2 圖之 3A-3A 線所視之剖視圖，可由此看出該第一接地部 20 中的水平接地區 20a 與傾斜連接區 20b 之高低位置，而第 3B 圖則係自第 2 圖之 3B-3B 線所視之剖視圖。

當前述之半導體封裝件 1 於製作過程中進行上片固化、鐸線與模壓等高溫步驟時，該導線架 10 將因升溫而產生膨脹熱變形，此時，該第一接地部 20 間由於互不連接，因此將不若習知技術般受到該繫條 12 的束縛，而可自其所對應之繫條 12 兩側空間熱膨脹並釋放該熱應力，以避免該接地部 20 上產生挫屈變形之現象，進而亦不致造成該接地線 40b 鐸接困難與接點斷裂等習知問題；同時，藉由本發

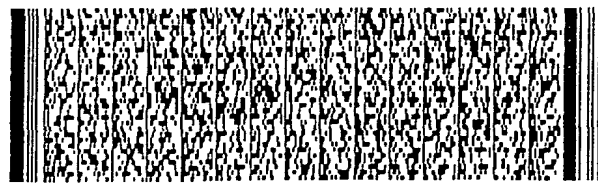
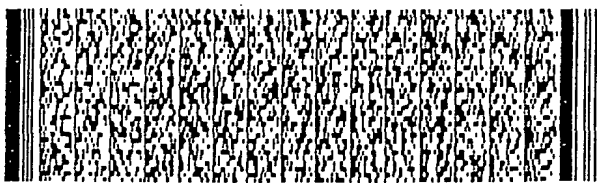


五、發明說明 (9)

明之設計，當以衝壓製程製作該導線架 10 時，此一非連續結構的接地部 20 中亦不致殘留有過多的殘留應力，進而可減少後續材料破壞的可能性。

此外，本發明所提出之導線架 10 並非僅限於第 2 圖所示，其接地部之設計亦可有其他變化型式，僅需令每一接地部間互不連接，而不致於升溫製程中產生束縛即可，例如第 4A 圖所示接置有晶片 30 之導線架上視圖，即為本發明之第二實施例，該導線架 10 上除了前述第一實施例所揭示之第一接地部 20 外，另可配合其他接地線之佈設，而增設與該晶片座 11 之各邊邊緣 11a 連接的第二接地部 25，且每一第二接地部 25 間係互不連接，而該第二接地部 25 與相鄰第一接地部 20 間亦互不連接，以避免形成其熱變形之束縛；其中，該第二接地部 25 係包括與該晶片座邊緣 11a 連接的兩連接區 25b，以及與該兩連接區 25b 連接之接地區 25a，以藉該接地區 25a 及連接區 25b 而與該晶片座邊緣 11a 圍置成一方形鏤空區域 26，且其設計亦與前述之第一接地部 20 相同，令該接地區 25a 與該多數導腳 14 位於同一平面上，而該用以連接該晶片座 11 的連接區 25b 則配合該晶片座 11 與該導腳 14 之高度差，而呈一傾斜狀態；同時，該第二接地部 25 之接地區 25a 與該第一接地部 20 之接地區 20a 係位於同一水平面上，以簡化後續鉅線製程的難度。

第 4B 圖所示即本發明之第三實施例的導線架 10 上視圖，相較於第 2 圖之第一實施例，其係改變該第一接地部 20 之設計，而刪減該接地部 20 上之連接區 20b，以令該接



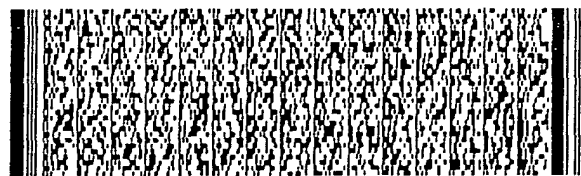
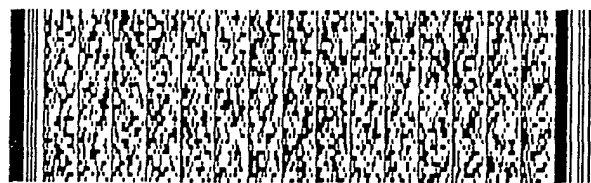
五、發明說明 (10)

地部上之接地區 20a 懸空而未與該晶片座 11 連接，並令該接地區 20a 與該多數導腳 14 位於同一平面上，因此，該晶片 30 上之接地墊 31b 即可直接以接地線 40b 而與該水平接地區 20a 電性連接，且當本實施例進行升溫製程時，該水平接地區 20a 將可有更大的空間進行熱應變且釋放熱應力，以維持水平狀態而不致影響其接地品質。

同時，本發明亦可結合前述之第二、第三實施例，而如第 4C 圖所示於該第三實施例上增設第二接地部 25，該第二接地部 25 之設計係與前述之第二實施例相同，而可進行更多接地線 40b 的設計與佈設，亦同樣可發揮本發明釋放熱應力而維持接地品質之功效。

因此，本發明所提出之半導體封裝件 1 及用於該半導體封裝件 1 之導線架 10，即可藉由未相互連接的接地部 20、25 設計，以釋放習知技術之接地環上的熱應力，從而避免該接地環挫屈變形之品質問題，惟該接地部 20、25 之設計並非僅限於前述四個實施例之揭示，亦可改變該第一接地部 20 與第二接地部 25 之形狀而搭配設計，例如僅設計形成該第二接地部 25 而省去該第一接地部 20 等；此外，前述各接地部 20、25 之接地區 20a、25a 亦非僅限於與該多數導腳 14 維持於同一平面，亦可設計使該第一繫條 12 傾斜而令該水平接地區 20a、25a 略低於該多數導腳 14，端視各封裝件之需求而定。

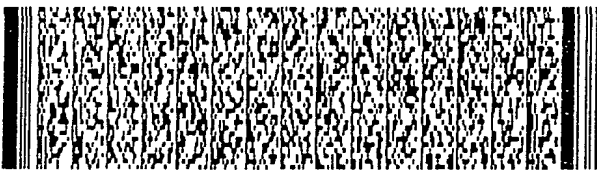
綜上所述，本發明之可提升接地品質之半導體封裝件及用於該半導體封裝件之導線架，確具有避免其接地區域



五、發明說明 (11)

於升溫過程中挫屈變形之功效，從而可避免其接地線產生銲接不易或銲線斷裂等品質問題，此外，該導線架上之接地部設計復可降低其於製作過程中的殘留應力，可充分降低其結構與材料之破壞可能。

惟以上所述者，僅為本發明之具體實施例而已，並非用以限定本發明之範圍，舉凡熟習此項技藝者在本發明所揭示之精神與原理下所完成的一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第 1 圖係本發明之導線架的較佳實施例上視圖；

第 2 圖係第 1 圖所示之導線架於接置晶片後之上市圖；

第 3A 圖係本發明之半導體封裝件自第 2 圖之 3A-3A 線所視之剖視圖；

第 3B 圖係本發明之半導體封裝件自第 2 圖之 3B-3B 線所視之剖視圖；

第 4A 至 4C 圖係本發明之導線架的第二、三、四實施例於接置晶片後之上視圖；

第 5A 圖係美國專利第 5,814,877 號案所揭示之導線架上視圖；

第 5B 圖係自第 5A 圖之 5B-5B 線所視之封裝件剖視圖；

第 6A 圖係美國專利第 6,437,427 號案所揭示之導線架上視圖；

第 6B 圖係自第 6A 圖之 6B-6B 線所視之封裝件剖視圖；

第 7A 圖係美國專利第 6,380,048 號案所揭示之導線架上視圖；

第 7B 圖係自第 7A 圖之 7B-7B 線所視之封裝件剖視圖；

第 8A 圖係習知半導體封裝件之導線架的接地環於升溫製程中產生變形之上視圖；

第 8B 圖係自第 8A 圖之 8B-8B 線所視之接地環變形的剖視圖；

第 9A 圖係第 7A 圖所示之導線架的 S 型繫條釋放應力示意圖；

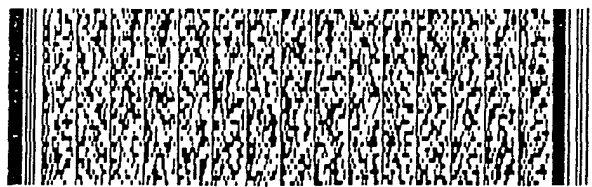


圖式簡單說明

第 9B圖 係自第 9A圖 之 9B-9B線 所視之 接地環變形的 剖視圖；以及

第 9C圖 係自第 9A圖 之 9C-9C線 所視之 接地環變形與 接地線斷裂的 剖視圖。

1	半導體封裝件	10	導線架
11	晶片座	11'	晶片座背面
11a	晶片座邊緣	12	繫條
12a	第一繫條	12b	第二繫條
13	連結框	14	導腳
20	第一接地部	20a	接地區
20b	連接區	21	鏤空區域
25	第二接地部	25a	接地區
25b	連接區	26	鏤空區域
30	晶片	31a	訊號墊
31b	接地墊	40	鐳線
40a	訊號線	40b	接地線
50	封裝膠體	60	導線架
61	晶片座	62	接地環
71	晶片座	70	導線架
73	接地環	72	導腳
75	接地線	74	封裝膠體
81	晶片座	80	導線架
		82	接地環



圖式簡單說明

83 S型 繫 條

84 鏤 空 區 域

85 封 裝 膠 體

86 接 地 線

g 接 地 線 斷 裂



六、申請專利範圍

1. 一種可提升接地品質之半導體封裝件，係包括：

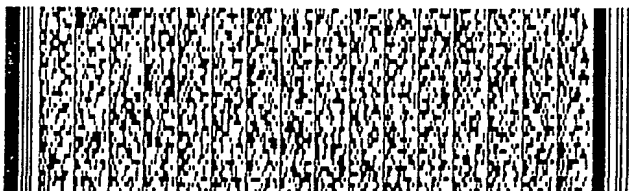
導線架本體，係具有至少一晶片座、連接該晶片座且用以支撐該晶片座的多數繫條 (Tie-Bar)、與佈設於該晶片座周圍的多數導腳；

接地部，係包括與該繫條連接的第一接地部以及與該晶片座連接的第二接地部之其中至少一者，其中，每一第一接地部間係互不連接，而每一第二接地部間亦互不連接；

至少一晶片，係接置於該晶片座上且電性連接至該多數導腳與該接地部；以及

用以包覆該晶片與接地部之封裝膠體。

2. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一接地部與第二接地部間係互不連接。
3. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一接地部係與該晶片座連接。
4. 如申請專利範圍第 1 項之半導體封裝件，其中，該第一接地部係未與該晶片座連接。
5. 如申請專利範圍第 3 項之半導體封裝件，其中，該第一接地部係包括相互連接以與該繫條圍置成一鏤空區域的接地區與連接區。
6. 如申請專利範圍第 4 項之半導體封裝件，其中，該第一接地部係為一長條形接地區。
7. 如申請專利範圍第 1 項之半導體封裝件，其中，該第二接地部係未與該繫條連接。

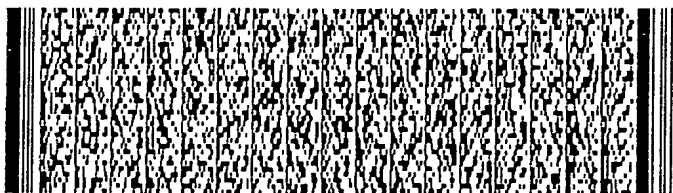


六、申請專利範圍

8. 如申請專利範圍第7項之半導體封裝件，其中，該第二接地部係包括相互連接以與該晶片座邊緣圍置成一鏤空區域的接地區與連接區。
9. 如申請專利範圍第1項之半導體封裝件，其中，每一繫條上均係形成有該第一接地部。
10. 如申請專利範圍第1項之半導體封裝件，其中，該第一接地部係分別位列於該繫條兩側。
11. 如申請專利範圍第1項之半導體封裝件，其中，該晶片座之每一邊緣上均係形成有該第二接地部。
12. 如申請專利範圍第1項之半導體封裝件，其中，該繫條係與該晶片座之角緣連接。
13. 如申請專利範圍第1項之半導體封裝件，其中，該晶片座上未接置晶片之表面係外露出該封裝膠體外。
14. 如申請專利範圍第1項之半導體封裝件，其中，該晶片係藉由多數鉅線以與該多數導腳及接地部進行電性連接。
15. 一種導線架，係包括：

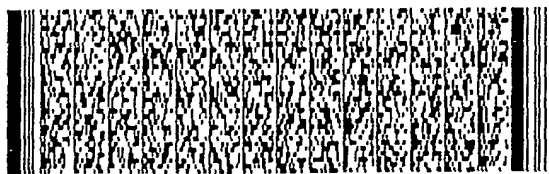
本體，係具有至少一晶片座、連接該晶片座且用以支撐該晶片座的多數繫條(Tie-Bar)、與佈設於該晶片座周圍的多數導腳；以及

接地部，係包括與該繫條連接的第一接地部以及與該晶片座連接的第二接地部之其中至少一者，其中，每一第一接地部間係互不連接，而每一第二接地部間亦互不連接。

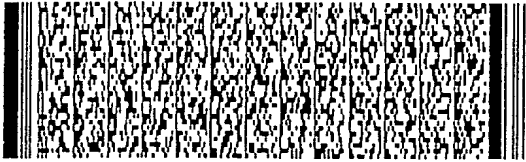


六、申請專利範圍

16. 如申請專利範圍第15項之導線架，其中，該第一接地部與第二接地部間係互不連接。
17. 如申請專利範圍第15項之導線架，其中，該第一接地部係與該晶片座連接。
18. 如申請專利範圍第15項之導線架，其中，該第一接地部係未與該晶片座連接。
19. 如申請專利範圍第17項之導線架，其中，該第一接地部係包括相互連接以與該繫條圍置成一鏤空區域的接地區與連接區。
20. 如申請專利範圍第18項之導線架，其中，該第一接地部係為一長條形接地區。
21. 如申請專利範圍第15項之導線架，其中，該第二接地部係未與該繫條連接。
22. 如申請專利範圍第21項之導線架，其中，該第二接地部係包括相互連接以與該晶片座邊緣圍置成一鏤空區域的接地區與連接區。
23. 如申請專利範圍第15項之導線架，其中，每一繫條上均係形成有該第一接地部。
24. 如申請專利範圍第15項之導線架，其中，該第一接地部係分別位列於該繫條兩側。
25. 如申請專利範圍第15項之導線架，其中，該晶片座之每一邊緣上均係形成有該第二接地部。
26. 如申請專利範圍第15項之導線架，其中，該繫條係與該晶片座之角緣連接。



第 1/24 頁



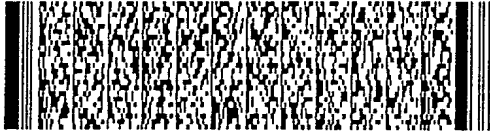
第 1/24 頁



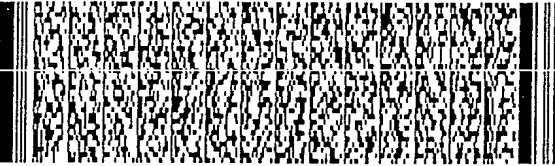
第 2/24 頁



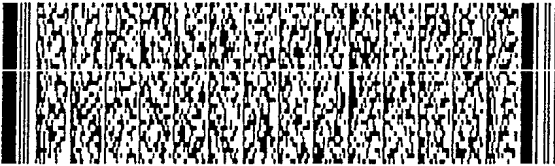
第 3/24 頁



第 4/24 頁



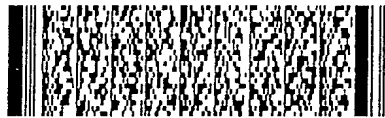
第 4/24 頁



第 5/24 頁



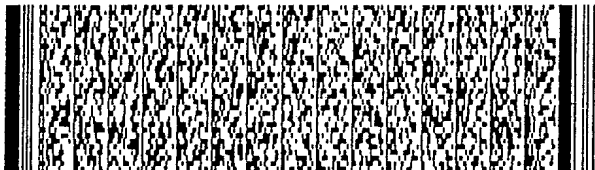
第 6/24 頁



第 7/24 頁



第 8/24 頁



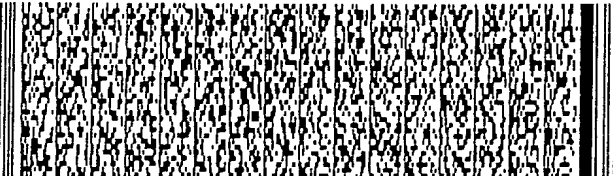
第 8/24 頁



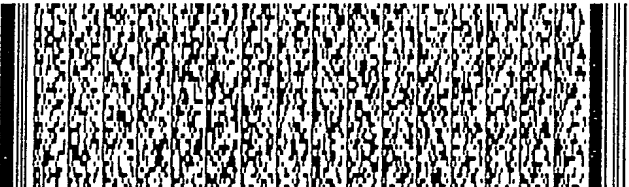
第 9/24 頁



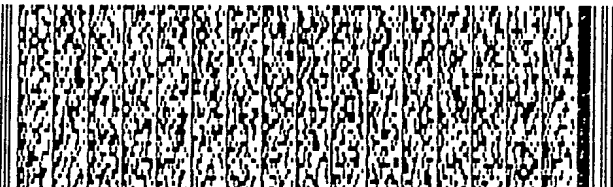
第 9/24 頁



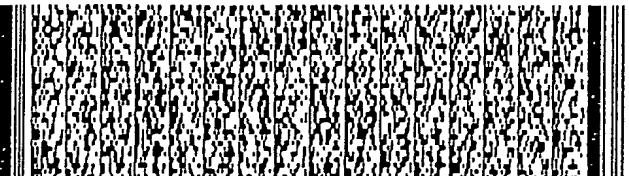
第 10/24 頁



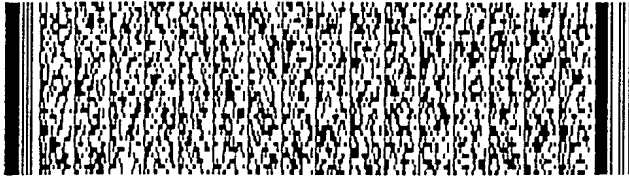
第 10/24 頁



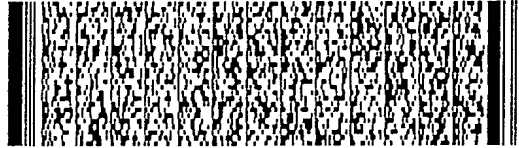
第 11/24 頁



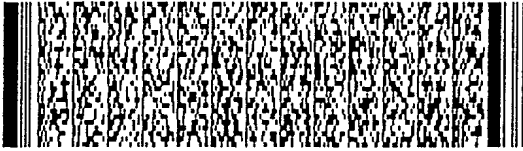
第 11/24 頁



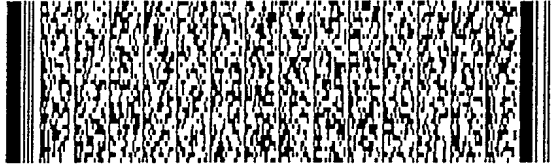
第 12/24 頁



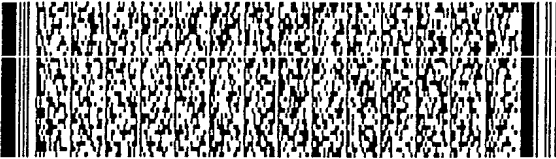
第 12/24 頁



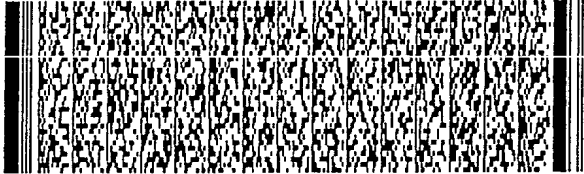
第 13/24 頁



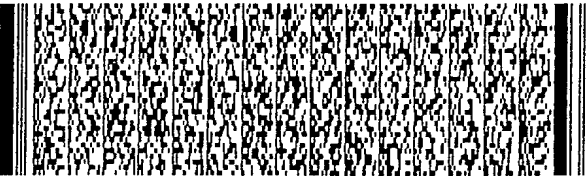
第 13/24 頁



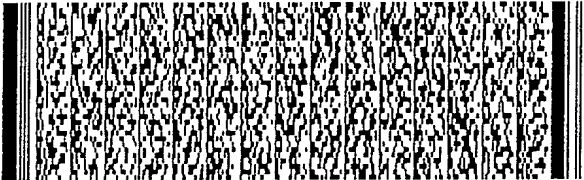
第 14/24 頁



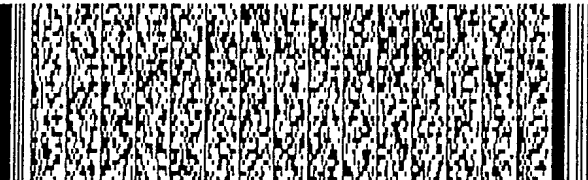
第 14/24 頁



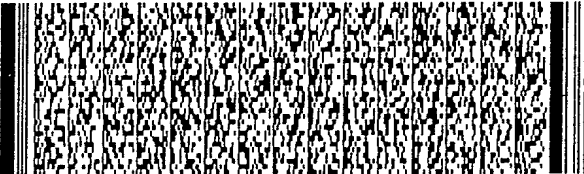
第 15/24 頁



第 15/24 頁



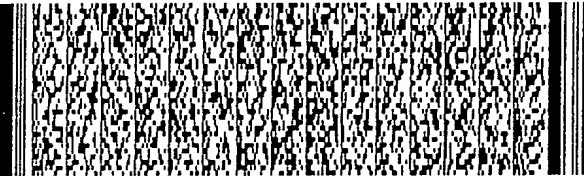
第 16/24 頁



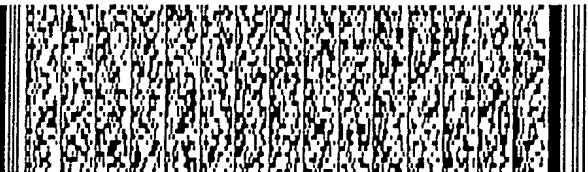
第 16/24 頁



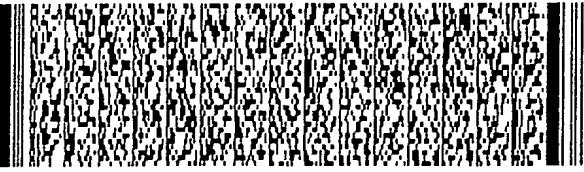
第 17/24 頁



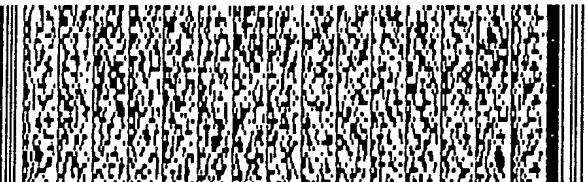
第 17/24 頁



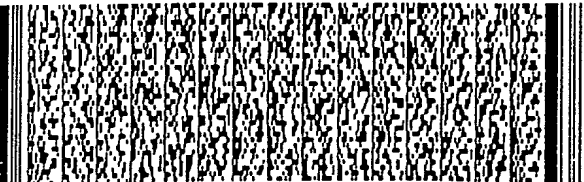
第 18/24 頁



第 19/24 頁



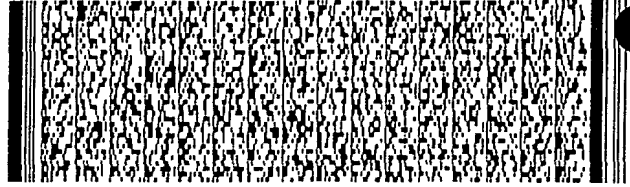
第 20/24 頁



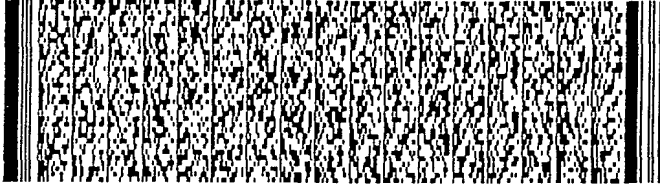
第 21/24 頁



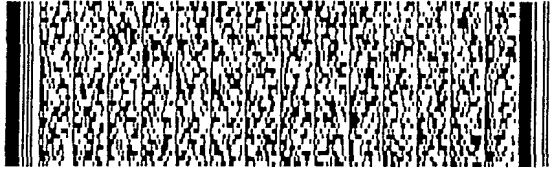
第 22/24 頁

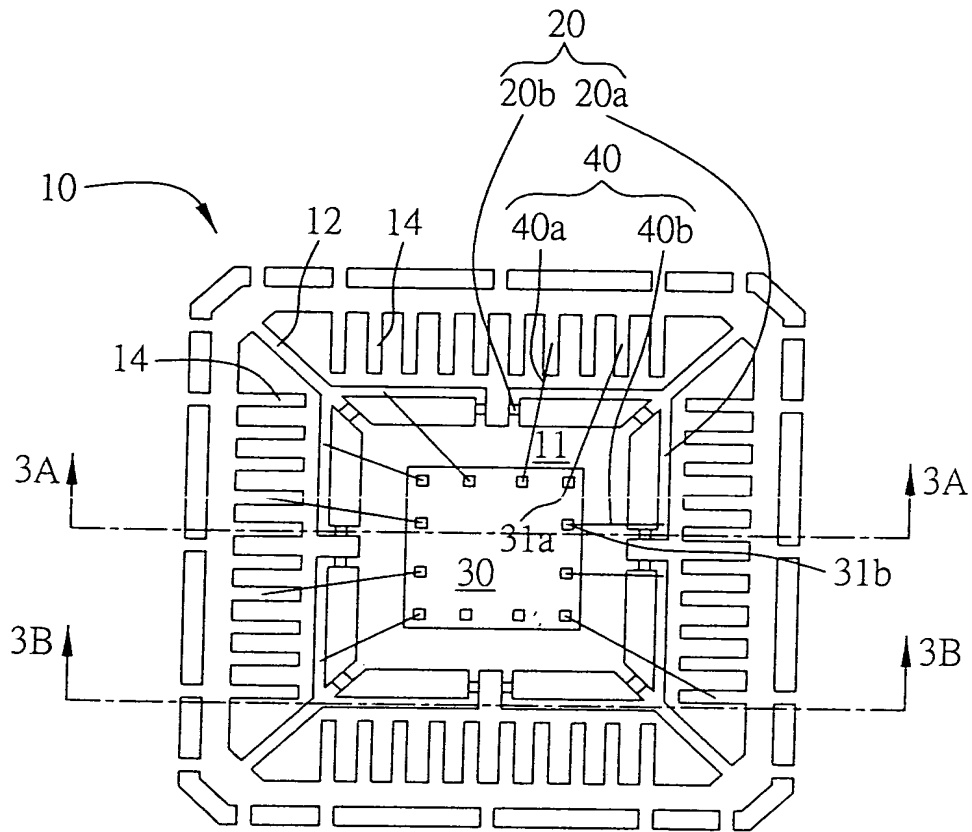


第 23/24 頁

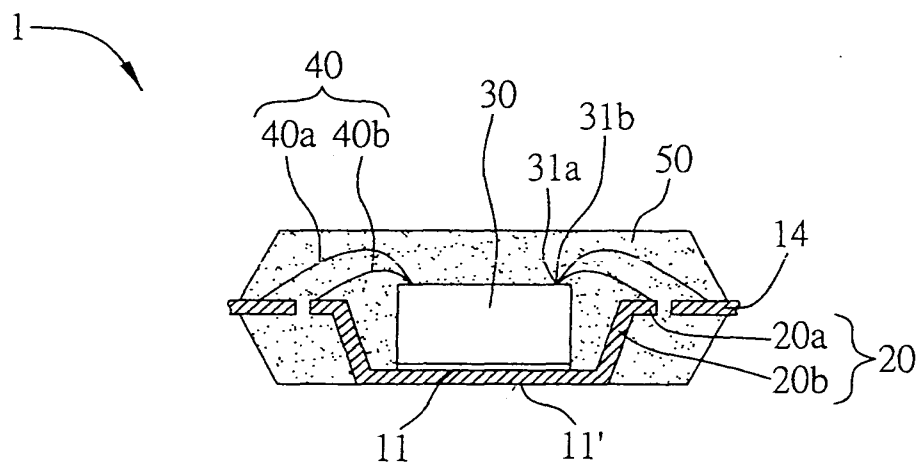


第 24/24 頁

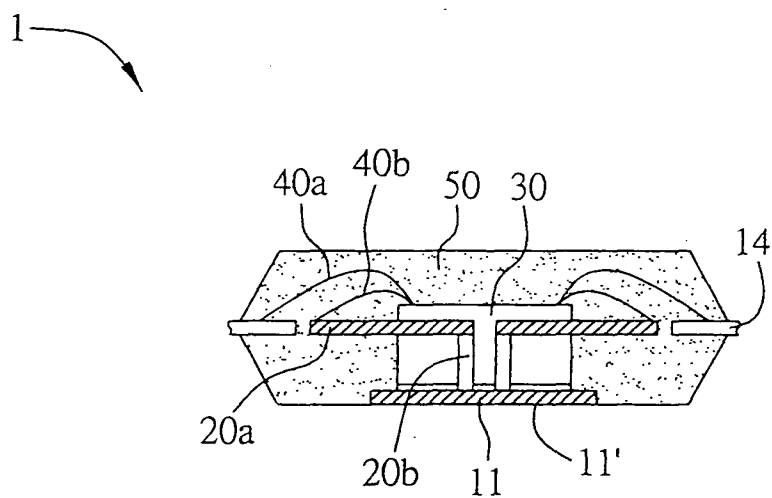




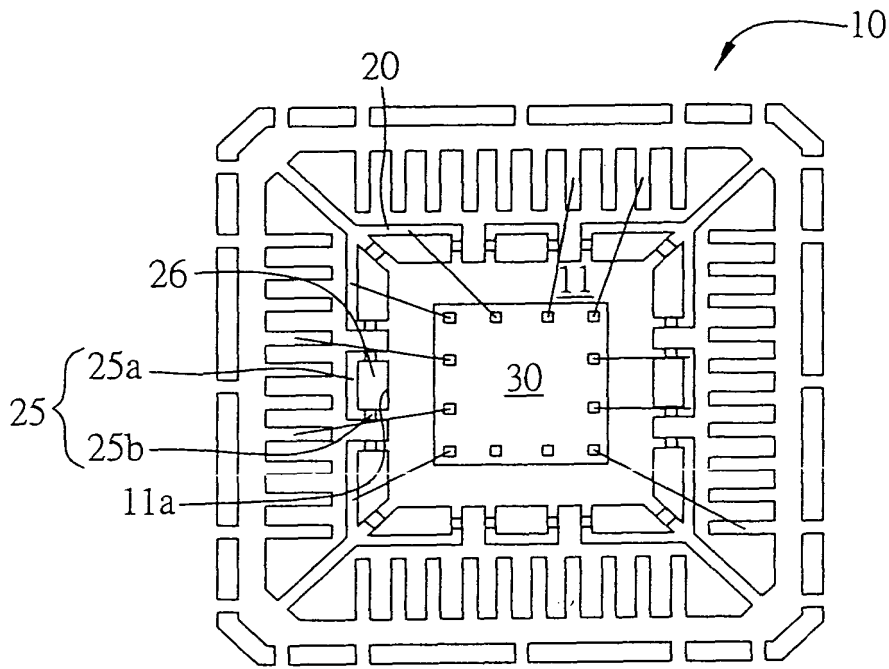
第 2 圖 (代表圖)



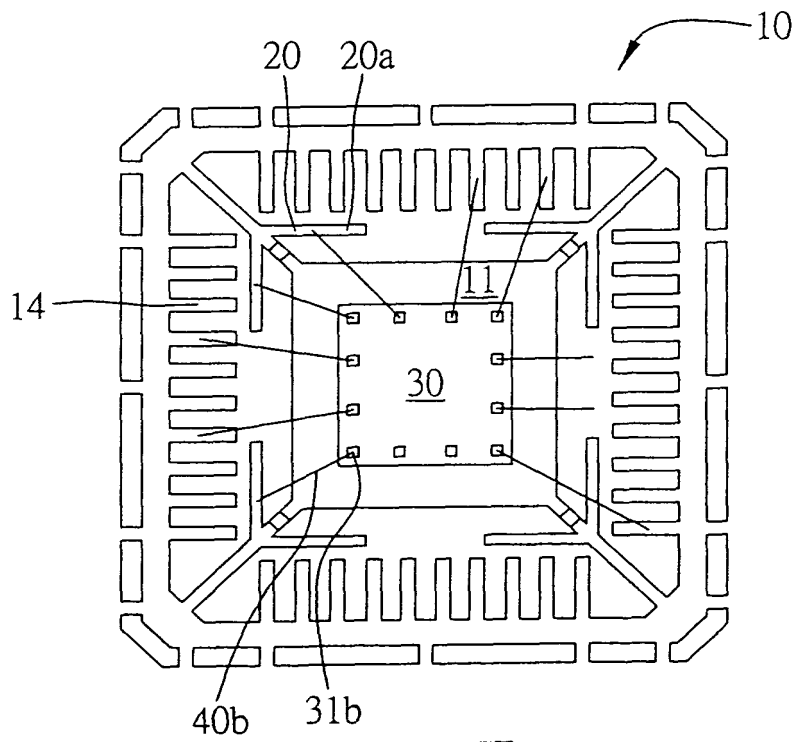
第 3A 圖



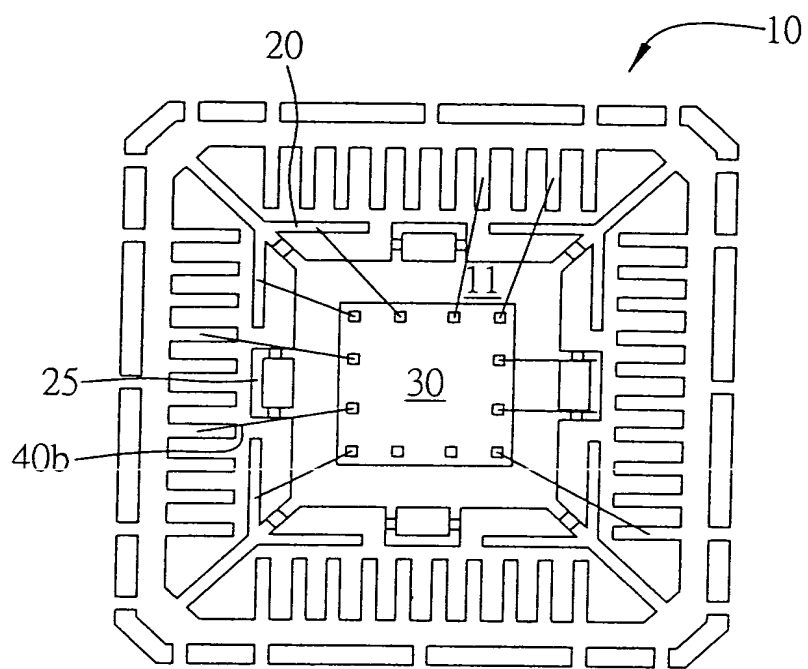
第 3B 圖



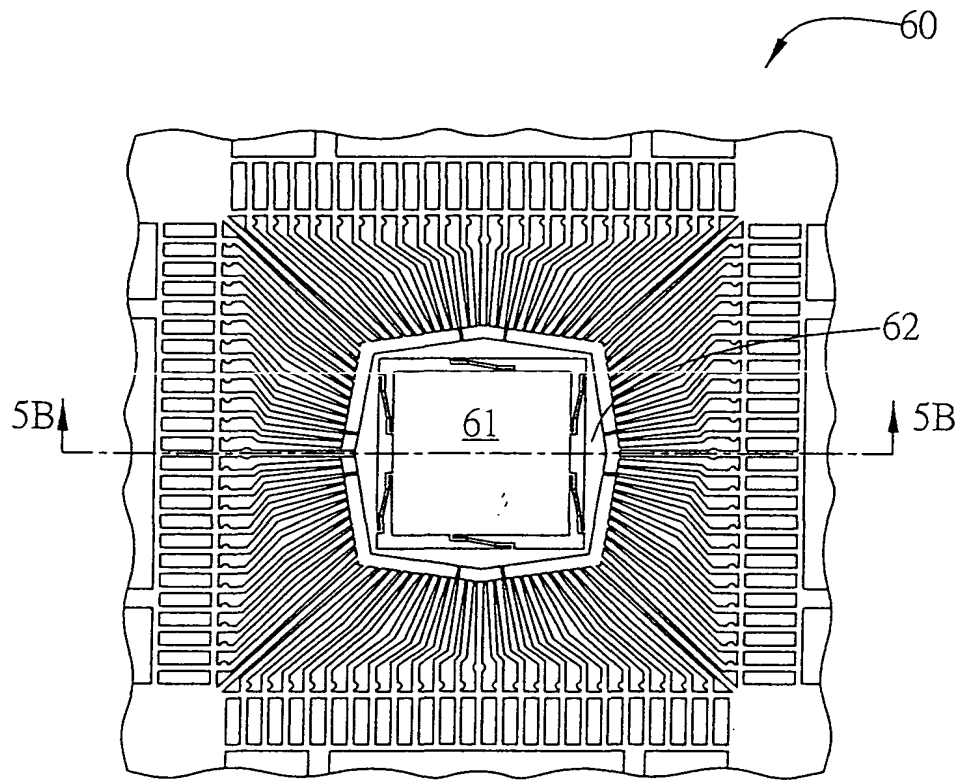
第 4A 圖



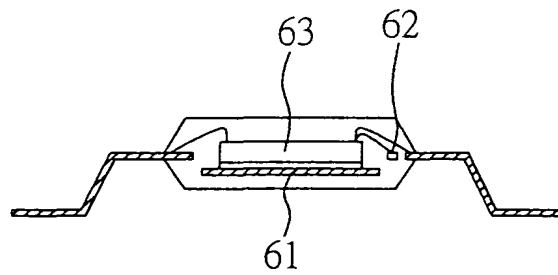
第 4B 圖



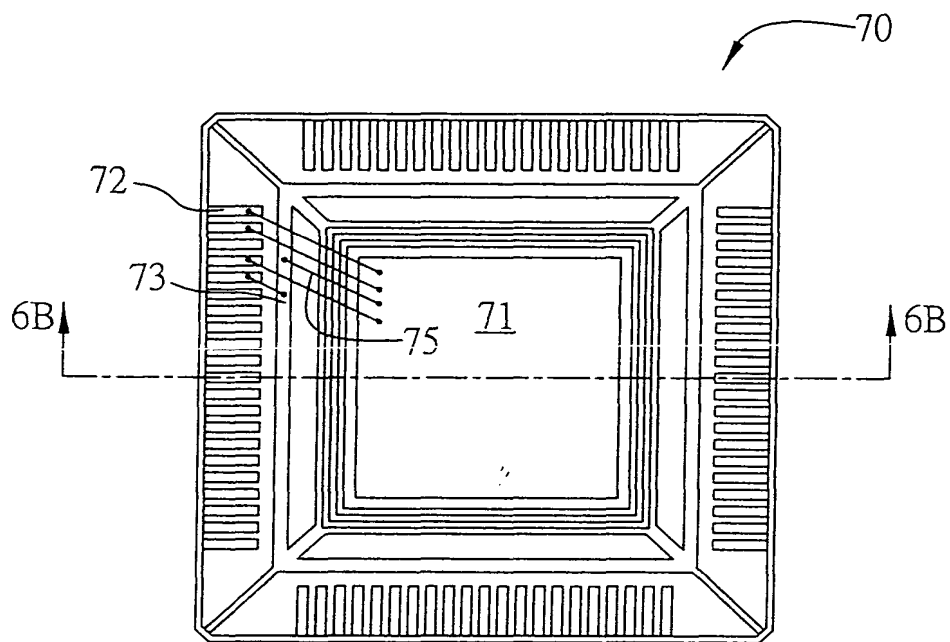
第 4C 圖



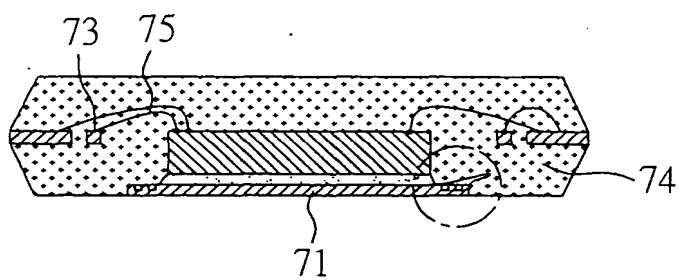
第 5A 圖 (先前技術)



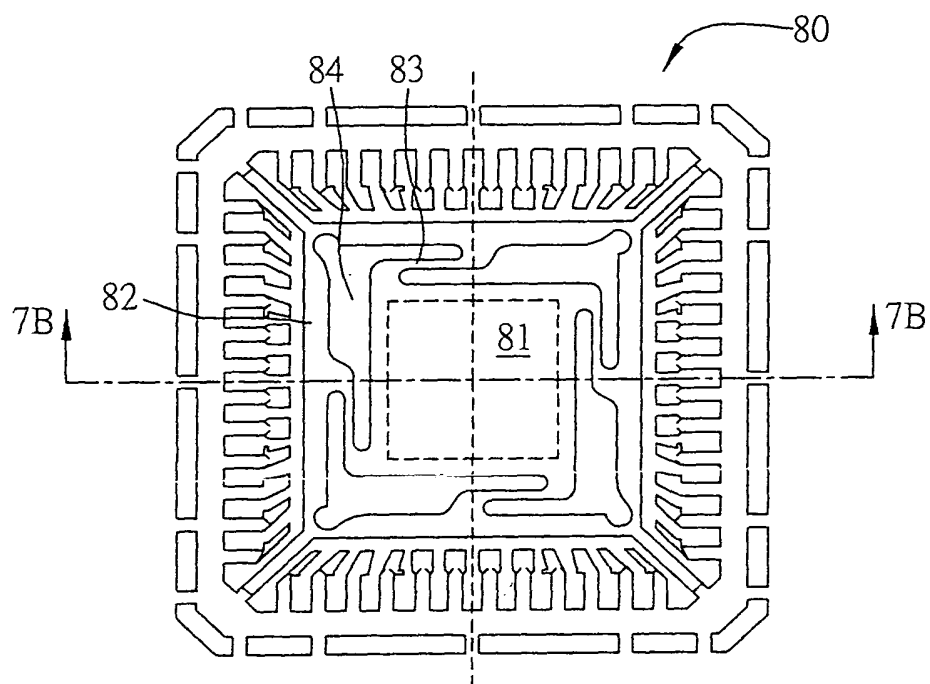
第 5B 圖 (先前技術)



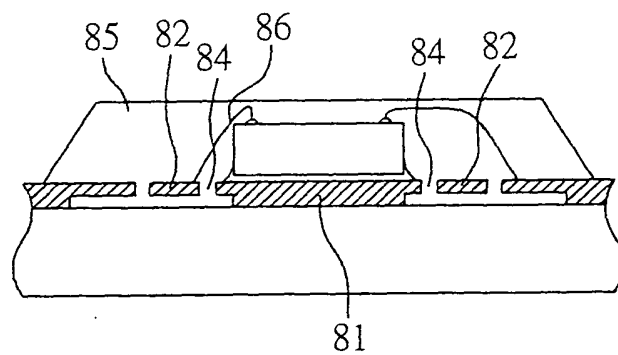
第 6A 圖 (先前技術)



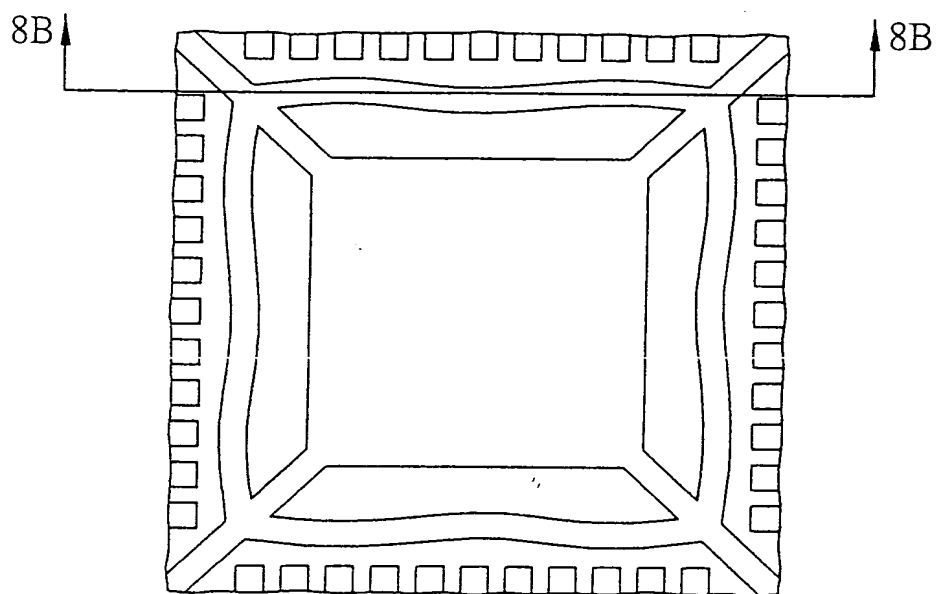
第 6B 圖 (先前技術)



第 7A 圖 (先前技術)



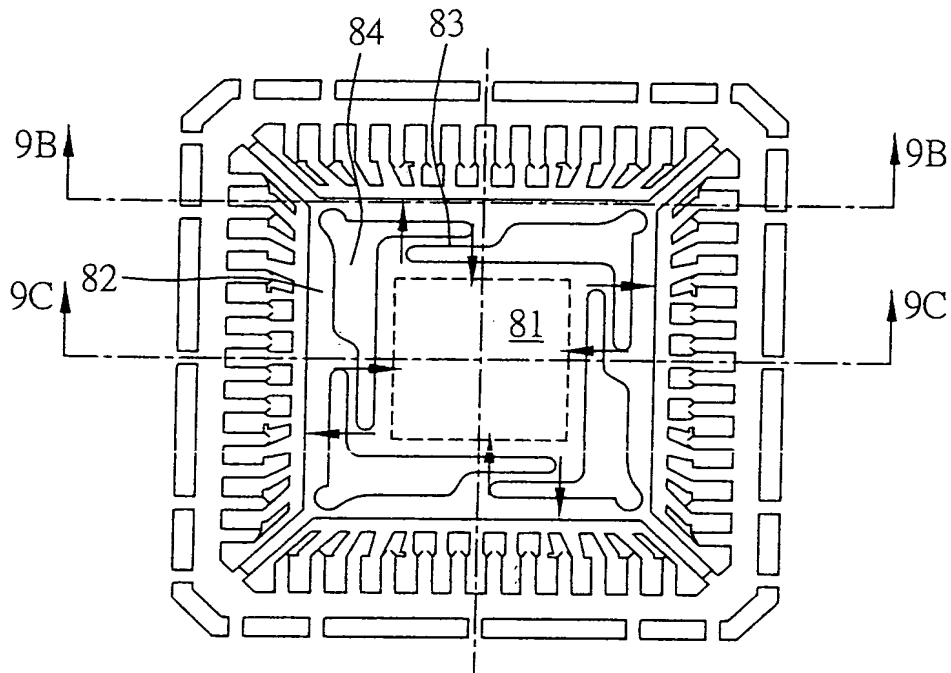
第 7B 圖 (先前技術)



第 8A 圖 (先前技術)



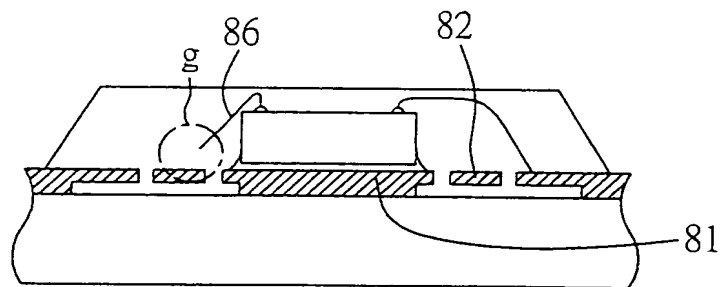
第 8B 圖 (先前技術)



第 9A 圖 (先前技術)



第 9B 圖 (先前技術)



第 9C 圖 (先前技術)